

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 7 日
Date of Application:

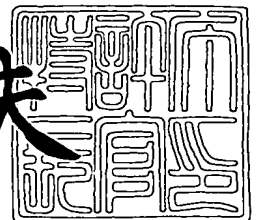
出 願 番 号 特 願 2 0 0 3 - 0 8 8 6 6 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 8 6 6 1]

出 願 人 株 式 会 社 リ コ ー
Applicant(s):

2 0 0 4 年 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 8 3 2 8

【書類名】 特許願

【整理番号】 188367

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 7/0045

【発明の名称】 ライトストラテジ回路

【請求項の数】 5

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 森岡 真人

【特許出願人】

 【識別番号】 000006747

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9808860

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ライトストラテジ回路

【特許請求の範囲】

【請求項 1】 光ディスクへの書き込み用データを取り込み、入力された所定のチャンネルクロック信号を基に該データのパターンに応じて所定のライトストラテジ補正を行い出力する、光ディスク記録装置におけるライトストラテジ回路において、

前記チャンネルクロック信号の周波数を逡倍してストラテジクロック信号を生成し出力するストラテジクロック生成部と、

該ストラテジクロック信号に同期させて前記チャンネルクロック信号の位相を制御し、取り込み用チャンネルクロック信号として出力する位相制御部と、

該位相制御部から出力された取り込み用チャンネルクロック信号に同期して、入力された前記書き込み用データの取り込みを行うデータ取り込み部と、

該データ取り込み部で取り込んだデータに対して、前記ストラテジクロック信号を用いて所定のストラテジ補正を行って出力するストラテジ補正部と、

前記データ取り込み部に取り込まれたデータの長さが、所定値であるか否かを判定し、該判定結果を出力する位相判定部と、
を備え、

前記位相制御部は、前記位相判定部の判定結果に応じて前記チャンネルクロック信号の位相を変えて取り込み用チャンネルクロック信号として出力することを特徴とするライトストラテジ回路。

【請求項 2】 前記位相制御部は、前記ストラテジクロック信号の周期に応じて前記チャンネルクロック信号の位相を変えた複数のクロック信号を生成し、前記位相判定部の判定結果に応じて該各クロック信号の 1 つを排他的に選択して前記取り込み用チャンネルクロック信号として出力することを特徴とする請求項 1 記載のライトストラテジ回路。

【請求項 3】 前記ストラテジクロック生成部は、

入力されたチャンネルクロック信号から前記ストラテジクロック信号を生成して出力する PLL 回路と、

該PLL回路から出力されたストラテジックロック信号を分周して出力する分周器と、
を備え、

前記PLL回路は、該分周器からの出力信号が前記チャンネルクロック信号と同じ周波数になるように前記ストラテジックロック信号を生成し出力することを特徴とする請求項1又は2記載のライトストラテジ回路。

【請求項4】 前記位相制御部は、前記位相判定部の判定結果に応じて前記分周器の出力信号の位相を変えて取り込み用チャンネルクロック信号として出力することを特徴とする請求項3記載のライトストラテジ回路。

【請求項5】 前記位相判定部の判定結果を記憶する記憶部を備え、前記位相判定部は、判定結果を該記憶部に記憶させると共に、前記位相制御部は、該記憶部に記憶された判定結果に応じて前記チャンネルクロック信号の位相を変えて取り込み用チャンネルクロック信号として出力することを特徴とする請求項1、2、3又は4記載のライトストラテジ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光ディスク記録装置に記録するためのシリアルデータに対してライトストラテジ補正を行う、光ディスク記録装置のライトストラテジ回路に関する。

【0002】

【従来の技術】

CD-R/RWやDVD±RW/Rといった光ディスクの記録装置においては、記録するデータとしてCDエンコード又はDVDエンコードにより生成されたシリアルデータをLDドライバによりレーザ発光させて光ディスク上に記録を行っている。光ディスクの記録面にはレーザの照射によりチャンネルクロック信号単位の長さのピット又はマークが形成され、照射されていない部分との反射率の違いを利用することにより光ディスクからのデータの読み出しが可能となる。

【0003】

チャンネルクロック信号は記録速度により変化し、CD標準速の場合には4.32MHzであり、DVD標準速の場合には26.16MHzとなる。また、ピット又はマークは、光ディスク上にあらかじめ用意されている溝に沿って内周部から外周部へ向かって渦巻き状に形成される。ピット又はマークの長さは、チャンネルクロック信号の単位周期をTとすると、CDの場合は3Tから11T、DVDの場合は3Tから11T又は14Tのいずれかになる。

【0004】

CDエンコーダ又はDVDエンコーダにより生成されたシリアルデータは、チャンネルクロック信号単位で変化するNRZ信号であるが、これをそのままレーザ発光させて光ディスクに照射した場合、光ディスク上に形成されるピットは熱伝導等の影響を受けて歪んだり、長さが変化したりして不均一な形になり、光ディスクからデータを読み出した際に記録時のデータと一致しなくなる。

【0005】

このため、通常はシリアルデータであるNRZ信号に対して補正を行ない、補正後の信号に応じてレーザ発光させている。この補正をライトストラテジと呼び、記録状況に応じて最適なライトストラテジを行うことにより、光ディスクへの記録品質の向上を図ることができる。各光ディスク記録におけるライトストラテジについてはそれぞれ規格化されており、光ディスク記録装置及び光ディスクメディア等のメーカーはその規格に準拠して製品開発を実施している。

【0006】

【発明が解決しようとする課題】

ライトストラテジによる補正は、従来、CD又はDVDエンコーダにて処理されていたが、記録速度が高速になるにつれて半導体レーザの駆動を行うLDドライバの近辺で処理することが望ましくなっている。この理由として、CD又はDVDエンコーダとLDドライバ間の基板配線長による信号のなまりが高速記録時にデータ品質に影響を与えるようになったためである。このことから、CD又はDVDエンコーダよりシリアルデータとチャンネルクロック信号を、ライトストラテジ補正を行うライトストラテジ回路にそれぞれ供給し、該ライトストラテジ回路は、供給されたチャンネルクロック信号によってシリアルデータを取り込み

、該データのパルス長を計測して、パルス波形のパターンに応じたストラテジ補正を行う。

【0007】

供給されるチャンネルクロック信号とシリアルデータとはタイミング的に保証された位相関係にありデータの安定した取り込みが可能になっている。しかし、光ディスクへの記録速度が高速になり、チャンネルクロック信号の周期が短くなってくると、もともと存在していたCD又はDVDエンコーダの出力遅延差や基板配線長の差による両者の遅延差が影響を与えるようになり、チャンネルクロック信号によりシリアルデータを取り込む際にチャンネルクロック信号のエッジとシリアルデータのエッジがちょうどデータを取り込めるかどうかという関係になり、データの取り込みが不安定な状態になる。

【0008】

例えば、図5は、ライトストラテジ回路におけるシリアルデータの取り込みの従来例を示したタイミングチャートである。なお、図5において、(a)は外部から入力されたシリアルデータを示し、(b)はチャンネルクロック信号を、(c)はデータ取り込み後のシリアルデータをそれぞれ示している。図5で示すように、チャンネルクロック信号の立ち上がりのエッジとシリアルデータの立ち上がりのエッジ、及びチャンネルクロック信号の立ち上がりのエッジとシリアルデータの立ち下りのエッジが重なっている場合、ライトストラテジ回路によって取り込まれたデータは、入力されたシリアルデータがチャンネルクロック信号の4周期分のデータ長であるのに対して、チャンネルクロック信号の3周期から5周期分のデータ長になる。

【0009】

本発明は、上記のような問題を解決するためになされたものであり、シリアルデータを取り込む際に供給されるチャンネルクロック信号と同じ周波数のクロック信号を生成し、かつ該生成したクロック信号の位相を制御可能にすることにより、データ取り込み時にシリアルデータとチャンネルクロック信号の位相差を最適に制御し、データを安定して取り込むことができるライトストラテジ回路を得ることを目的とする。

【0 0 1 0】

【課題を解決するための手段】

この発明に係るライトストラテジ回路は、光ディスクへの書き込み用データを取り込み、入力された所定のチャンネルクロック信号を基に該データのパターンに応じて所定のライトストラテジ補正を行い出力する、光ディスク記録装置におけるライトストラテジ回路において、

前記チャンネルクロック信号の周波数を逡倍してストラテジクロック信号を生成し出力するストラテジクロック生成部と、

該ストラテジクロック信号に同期させて前記チャンネルクロック信号の位相を制御し、取り込み用チャンネルクロック信号として出力する位相制御部と、

該位相制御部から出力された取り込み用チャンネルクロック信号に同期して、入力された前記書き込み用データの取り込みを行うデータ取り込み部と、

該データ取り込み部で取り込んだデータに対して、前記ストラテジクロック信号を用いて所定のストラテジ補正を行って出力するストラテジ補正部と、

前記データ取り込み部に取り込まれたデータの長さが、所定値であるか否かを判定し、該判定結果を出力する位相判定部と、
を備え、

前記位相制御部は、前記位相判定部の判定結果に応じて前記チャンネルクロック信号の位相を変えて取り込み用チャンネルクロック信号として出力するものである。

【0 0 1 1】

具体的には、前記位相制御部は、前記ストラテジクロック信号の周期に応じて前記チャンネルクロック信号の位相を変えた複数のクロック信号を生成し、前記位相判定部の判定結果に応じて該各クロック信号の1つを排他的に選択して前記取り込み用チャンネルクロック信号として出力するようにした。

【0 0 1 2】

また、前記ストラテジクロック生成部は、

入力されたチャンネルクロック信号から前記ストラテジクロック信号を生成して出力するPLL回路と、

該 P L L 回路から出力されたストラテジクロック信号を分周して出力する分周器と、
を備え、

前記 P L L 回路は、該分周器からの出力信号が前記チャンネルクロック信号と同じ周波数になるように前記ストラテジクロック信号を生成し出力するようにしてもよい。

【 0 0 1 3 】

また、具体的には、前記位相制御部は、前記位相判定部の判定結果に応じて前記分周器の出力信号の位相を変えて取り込み用チャンネルクロック信号として出力するようにした。

【 0 0 1 4 】

一方、前記位相判定部の判定結果を記憶する記憶部を備え、前記位相判定部は、判定結果を該記憶部に記憶させると共に、前記位相制御部は、該記憶部に記憶された判定結果に応じて前記チャンネルクロック信号の位相を変えて取り込み用チャンネルクロック信号として出力するようにしてもよい。

【 0 0 1 5 】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態.

図 1 は、本発明の第 1 の実施の形態におけるライトストラテジ回路が使用される光ディスク記録装置の例を示したブロック図である。

図 1 の光ディスク記録装置 1 において、C D / D V D エンコーダ 2 は、パーソナルコンピュータ等のホスト装置 1 0 から光ディスクへ書き込むためのデータ W D が入力されると共に所定のクロック信号 X C L K が入力され、C D / D V D エンコーダ 2 からシリアルデータ S D とチャンネルクロック信号 C H C L K がライトストラテジ回路 3 に供給される。

【 0 0 1 6 】

ライトストラテジ回路 3 は、入力されたシリアルデータ S D を取り込みそのデータパターンに応じてチャンネルクロック信号 C H C L K を基にして所定のライ

トストラテジ補正を行い、レーザダイオード5の駆動を行うLDドライバ4へ出力する。LDドライバ4は、レーザダイオード5に対して、レーザパワーを制御してレーザ光を光ディスク6へ照射させる。なお、CPU7は、位相制御やストラテジ設定等の各種設定をライトストラテジ回路3に行い、ライトストラテジ回路3は、1つの半導体チップに形成されている。

【0017】

図2は、図1のライトストラテジ回路3の内部構成例を示したブロック図である。

図2において、ライトストラテジ回路3は、入力されたチャンネルクロック信号CHCLKの周波数をN（Nは、 $N > 0$ の整数）倍にしてストラテジクロック信号SCLKを生成し出力するストラテジクロック生成部11と、位相制御部12と、データ取り込み部13と、ストラテジ補正部14と、位相判定部15と、レジスタ16とで構成されている。また、ストラテジクロック生成部11は、チャンネルクロック信号CHCLKからストラテジクロック信号SCLKを生成して出力するPLL回路21と、ストラテジクロック信号SCLKを $1/N$ に分周してPLL回路21に出力する分周器22とで構成されている。なお、レジスタ16は記憶部をなす。

【0018】

PLL回路21の一方の入力端にはチャンネルクロック信号CHCLKが入力され、PLL回路21の他方の入力端には分周器22の出力信号S1が入力されている。また、PLL回路21の出力信号であるストラテジクロック信号SCLKは、位相制御部12、ストラテジ補正部14及び分周器22にそれぞれ出力され、分周器22の出力信号S1は、位相制御部12へも出力されている。位相制御部12は、分周器22の出力信号S1からストラテジクロック信号SCLKを用いて生成した取り込み用チャンネルクロック信号CHCLK1を生成してデータ取り込み部13に出力する。

【0019】

また、データ取り込み部13は、入力された取り込み用チャンネルクロック信号CHCLK1に同期して、入力されたシリアルデータSDの取り込みを行う。

ストラテジ補正部 14 は、入力されたストラテジクロック信号 SCLK を用いて、データ取り込み部 13 に取り込まれたシリアルデータ SD1 に対して所定のストラテジ補正を行って LD ドライバ 4 に出力する。位相判定部 15 は、データ取り込み部 13 が取り込んだシリアルデータ SD1 のデータ長が所定値であるか否かを判定し、該判定結果をレジスタ 16 に書き込む。位相制御部 12 は、レジスタ 16 に書き込まれた判定結果に応じて分周器 22 からの出力信号 S1 の位相を変えてデータ取り込み用チャンネルクロック信号 CHCLK1 として出力する。

【0020】

このような構成において、位相制御部 12 は、ストラテジクロック信号 SCLK に同期させて分周器 22 からの出力信号 S1 の位相を制御し、取り込み用チャンネルクロック信号 CHCLK1 としてデータ取り込み部 13 に出力する。データ取り込み部 13 は、入力された取り込み用チャンネルクロック信号 CHCLK1 に同期して、入力されたシリアルデータ SD の取り込みを行い、ストラテジ補正部 14 は、データ取り込み部 13 で取り込まれたシリアルデータ SD1 に対して、ストラテジクロック信号 SCLK を用いて所定のストラテジ補正を行い LD ドライバ 4 に出力する。

【0021】

一方、位相判定部 15 は、データ取り込み部 13 に取り込まれたシリアルデータ SD1 のデータ長が、所定の長さであるか否かを検出し、該検出結果をレジスタ 16 に書き込む。チャンネルクロック信号 CHCLK の 1 周期を T とすると、位相判定部 15 は、データ取り込み部 13 に取り込まれたシリアルデータ SD1 のデータ長が例えば 4 T であるか否かを検出し、4 T である場合は「1」を、4 T でない場合は「0」をレジスタ 16 に書き込む。位相制御部 12 は、ストラテジクロック信号 SCLK の周期に応じて分周器 22 の出力信号 S1 の位相をずらした複数のクロック信号を生成する。

【0022】

例えば、図 3 で示すように、ストラテジクロック信号 SCLK がチャンネルクロック信号 CHCLK を 1/8 分周した信号であり、ストラテジクロック信号 SCLK の 1 周期を T_s とする。位相制御部 12 は、実質的にはチャンネルクロッ

ク信号CHCLKと同じである分周器22の出力信号S1の立ち上がり後、ストラテジックロック信号CLKが最初に立ち上がったときに立ち上がる、出力信号S1と同じ周期のクロック信号CLK0、クロック信号CLK0の位相を T_s だけ遅らせたクロック信号CLK1、クロック信号CLK0の位相を $2T_s$ だけ遅らせたクロック信号CLK2、及びクロック信号CLK0の位相を $3T_s$ だけ遅らせたクロック信号CLK3をそれぞれ生成する。

【0023】

更に、位相制御部12は、クロック信号CLK0の位相を $4T_s$ だけ遅らせたクロック信号CLK4、クロック信号CLK0の位相を $5T_s$ だけ遅らせたクロック信号CLK5、クロック信号CLK0の位相を $6T_s$ だけ遅らせたクロック信号CLK6、及びクロック信号CLK0の位相を $7T_s$ だけ遅らせたクロック信号CLK7をそれぞれ生成する。

【0024】

位相制御部12による出力信号S1の位相の遅延は、ストラテジックロック信号CLKを基に動作するシフトレジスタを用いることにより実現することができる。該シフトレジスタの各段の出力から1つを選択することによりストラテジックロック信号CLKの1周期単位での制御が可能となる。例えば、位相制御部12は、 $N=2$ の場合、取り込み用チャンネルクロック信号CHCLK1を半位相単位でずらすことができ、 $N=4$ の場合は、取り込み用チャンネルクロック信号CHCLK1を $1/4$ 位相単位でずらすことができる。

【0025】

また、シフトレジスタの各段の出力から1つを選択する場合、 $N=2$ の場合は1ビット、 $N=4$ の場合は2ビット、 $N=8$ の場合は3ビットのデータをレジスタ16に用意することにより実現することができる。位相判定部15でシリアルデータSD1のデータ長が所定値でないと判定された場合、ホスト装置10側からレジスタ16の設定を変更することにより取り込み用チャンネルクロック信号CHCLK1の位相を変更することができる。

【0026】

位相制御部12は、最初にクロック信号CLK0を取り込み用チャンネルクロ

ック信号CHCLK1としてデータ取り込み部13に出力するようにあらかじめ設定されている。位相制御部12は、レジスタ16に書き込まれている判定結果を読み出し、データ取り込み部13が取り込んだシリアルデータSD1のデータ長が所定値である場合は、クロック信号CLK0を取り込み用チャンネルクロック信号CHCLK1として出力する。

【0027】

また、位相制御部12は、データ取り込み部13が取り込んだシリアルデータSD1のデータ長が所定値でない場合は、クロック信号CLK1を取り込み用チャンネルクロック信号CHCLK1として出力する。このように、位相制御部12は、レジスタ16に書き込まれた判定結果が、シリアルデータSD1のデータ長が所定値であること示すまでクロック信号CLK0からCLK7まで順に切り替えて取り込み用チャンネルクロック信号CHCLK1としてデータ取り込み部13に出力する。このことから、図4で示すように、シリアルデータSDのデータの始まりが、取り込み用チャンネルクロック信号CHCLK1の立ち上がりに重なることなく、取り込み後のシリアルデータSD1を安定して得ることができる。

【0028】

なお、レジスタ16にエラーフラグビットを用意しておき、レジスタ16をリードすることによって判定結果をホスト装置10に伝えるようにしてもよい。また、レジスタ16に出力端子を設けることにより、該出力端子から出力信号としてホスト装置に伝えることもできる。また、PLL回路21の基準クロック信号としてはチャンネルクロック信号CHCLKを分周して得られたクロック信号でも取り込み用チャンネルクロック信号CHCLK1及びストラテジッククロック信号SCLKを生成することができるため、CD/DVDエンコーダ2から出力されるチャンネルクロック信号CHCLKの周波数を低下させることができる。このことから、光ディスク6への高速データ記録時にチャンネルクロック信号CHCLKを出力するドライブ回路の駆動能力不足の問題を考慮しなくても良くなる。

【0029】

このように、本第1の実施の形態におけるライトストラテジ回路は、分周器2

2 の出力信号 S 1 をストラテジクロック信号 S C L K に同期させてそれぞれ位相を変えた複数のクロック信号、例えばクロック信号 C L K 0 ~ C L K 7 を生成し、データ取り込み部 1 3 で取り込まれたシリアルデータ S D 1 が所定のデータ長になるように、クロック信号 C L K 0 ~ C L K 7 のいずれか 1 つをデータ取り込み用チャンネルクロック信号 C H C L K 1 とし、該データ取り込み用チャンネルクロック信号 C H C L K 1 に同期してシリアルデータ S D の取り込みを行うようにした。このことから、データ取り込み時にシリアルデータとチャンネルクロック信号の位相差を最適に制御することができ、図 4 で示すように、シリアルデータを安定して取り込むことができる。

【0030】

【発明の効果】

上記の説明から明らかなように、本発明のライトストラテジ回路によれば、取り込み用チャンネルクロック信号の位相を最適に制御することができるため、ホスト装置から入力された光ディスクへの書き込み用データを所定の方法でエンコードしてライトストラテジ回路に出力するエンコーダと、該ライトストラテジ回路との間でのシリアルデータの伝達を、高速に安定して行うことができ、光ディスクへの高速データ記録を安定して行うことができる。

【0031】

また、入力された光ディスクへの書き込み用データに対して安定してデータを取り込むことができるチャンネルクロック信号の位相は、デバイスごとのバラツキや温度等の周辺環境によって変化させる必要性があり、入力された書き込み用データと取り込んだデータが一致しているかどうかを判定する位相判定部を設けたことにより、位相が適切でない場合を検出することができ、自動的に位相をシフトすることによって取り込み用チャンネルクロック信号の位相制御を自動的に行うことができる。

【0032】

また、位相判定部の判定結果を記憶する記憶部を備え、ホスト装置側から記憶部をリードすることにより判定結果をホスト装置側に伝えることができ、ホスト装置側から取り込み用チャンネルクロック信号の位相制御を行うことができ、更

に、ホスト装置が記憶部をリードして得られた判定結果から自動的に取り込み用チャンネルクロック信号の位相制御を行うことができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態におけるライトストラテジ回路が使用される光ディスク記録装置の例を示したブロック図である。

【図 2】 図 1 のライトストラテジ回路 3 の内部構成例を示したブロック図である。

【図 3】 図 2 の位相制御部 12 の動作例を示したタイミングチャートである。

【図 4】 図 2 のライトストラテジ回路 3 の動作例を示したタイミングチャートである。

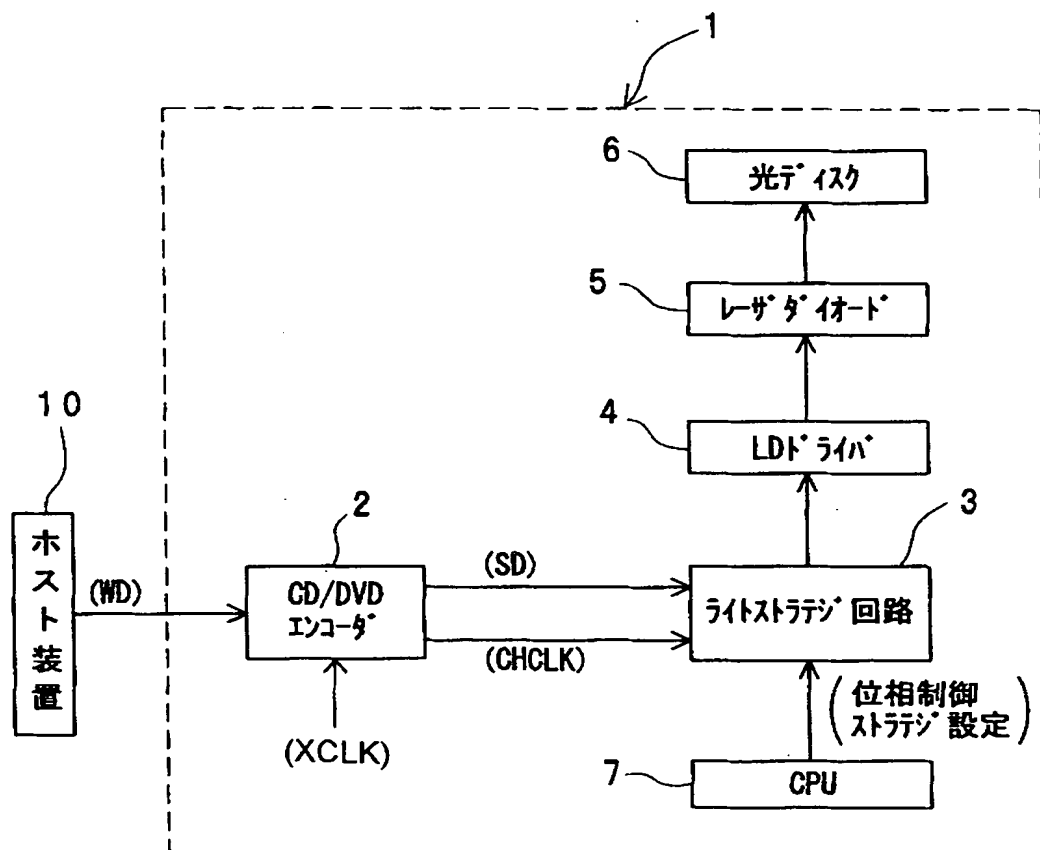
【図 5】 従来のライトストラテジ回路の動作例を示したタイミングチャートである。

【符号の説明】

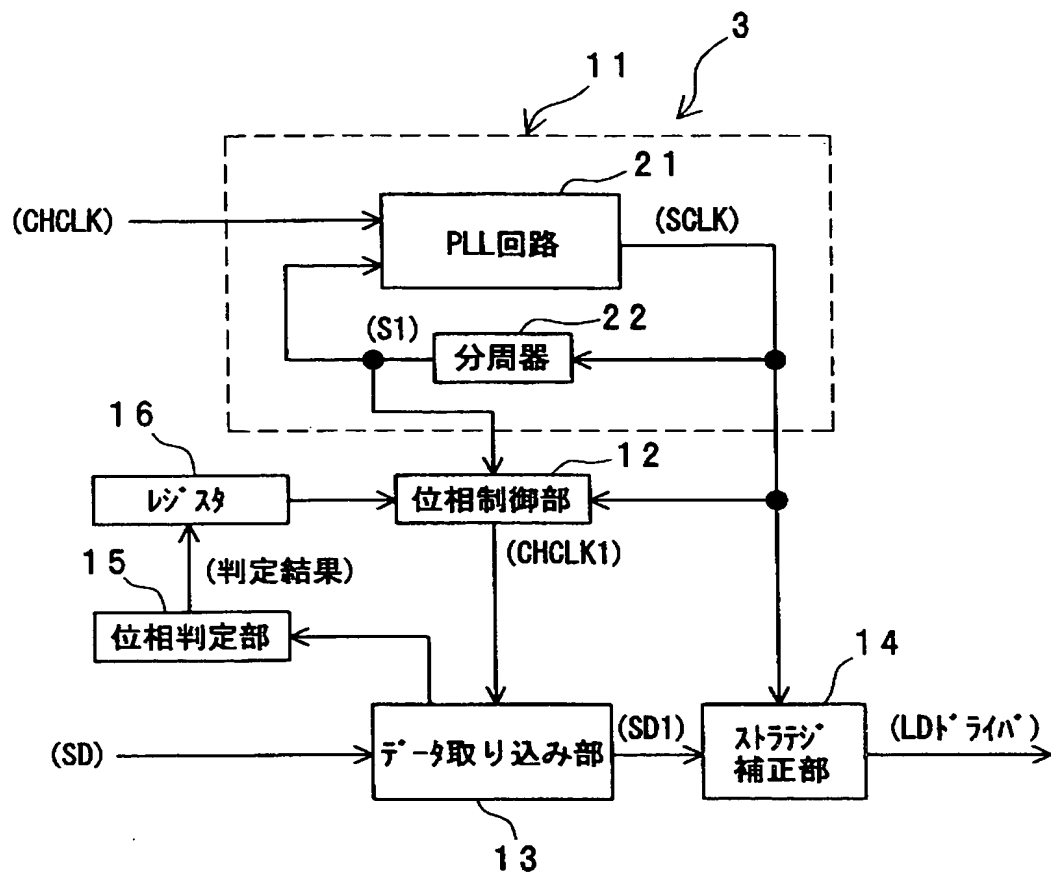
- 1 光ディスク記録装置
- 2 CD/DVDエンコーダ
- 3 ライトストラテジ回路
 - 11 ストラテジクロック生成部
 - 12 位相制御部
 - 13 データ取り込み部
 - 14 ストラテジ補正部
 - 15 位相判定部
 - 16 レジスタ
- 21 PLL回路
- 22 分周器

【書類名】 図面

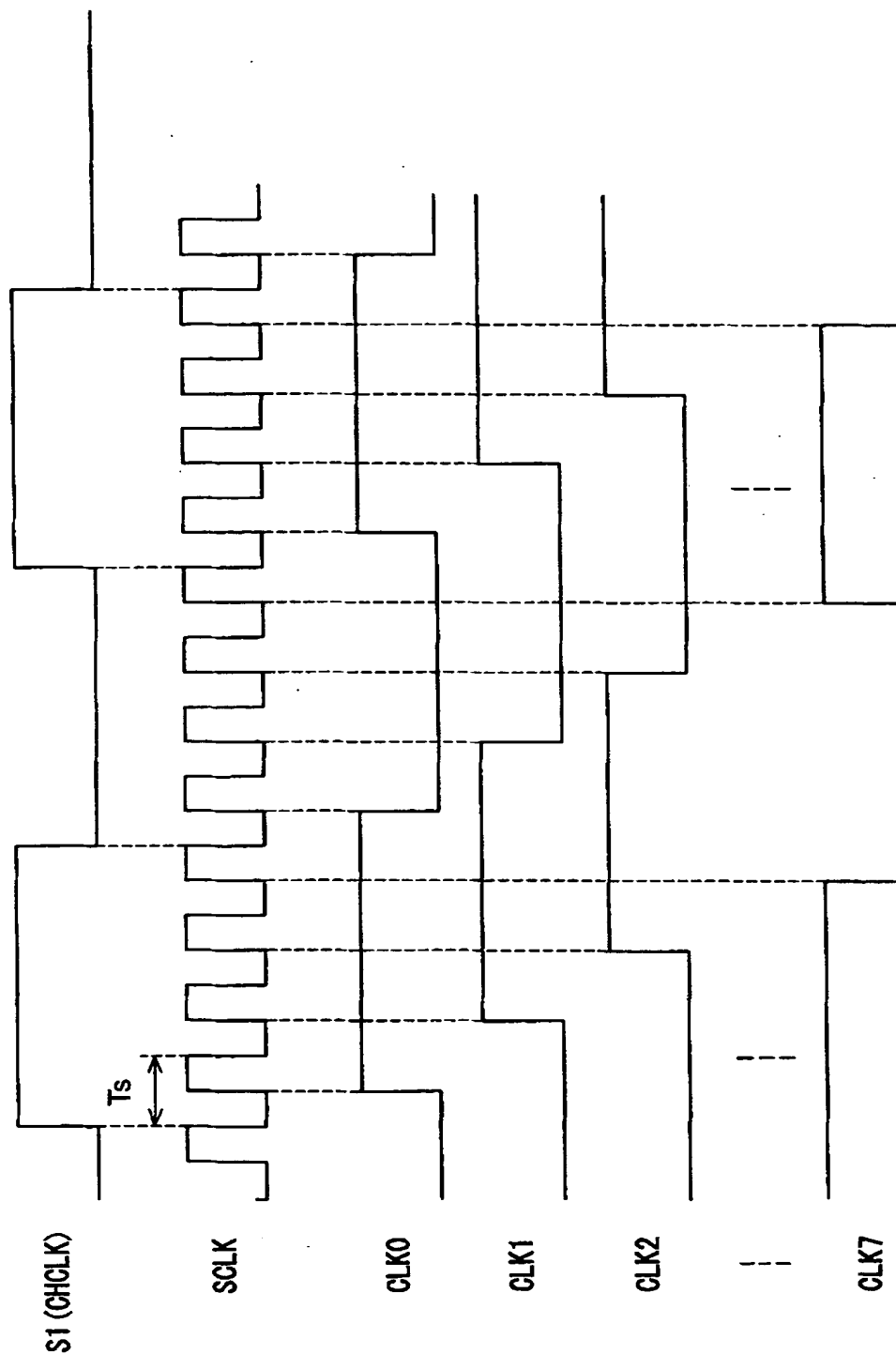
【図 1】



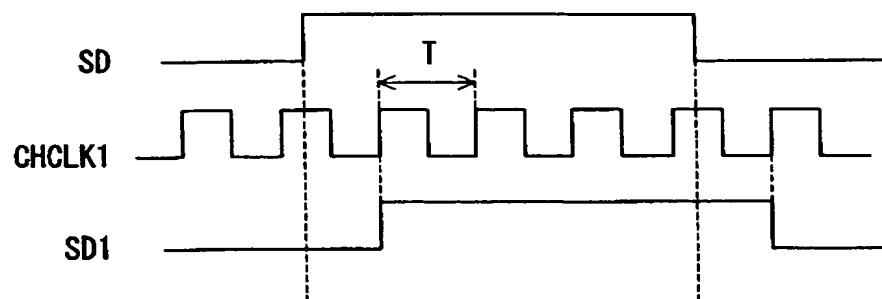
【図 2】



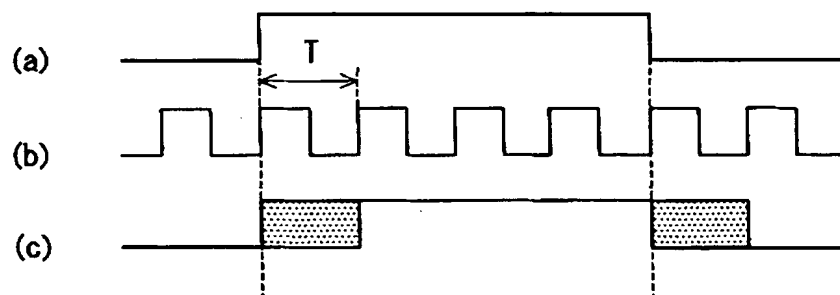
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 データ取り込み時にシリアルデータとチャンネルクロック信号の位相差を最適に制御し、データを安定して取り込むことができるライトストラテジ回路を得る。

【解決手段】 位相制御部 12 は、分周器 22 の出力信号 S1 をストラテジクロック信号 SCLK に同期させてそれぞれ位相を変えた複数のクロック信号を生成し、データ取り込み部 13 で取り込まれたシリアルデータ SD1 が所定のデータ長になるように、各クロック信号のいずれか 1 つをデータ取り込み用チャンネルクロック信号 CHCLK1 とし、該データ取り込み用チャンネルクロック信号 CHCLK1 に同期してシリアルデータ SD の取り込みを行うようにした。

【選択図】 図 2

特願 2 0 0 3 - 0 8 8 6 6 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 . 7 4 7]

1. 変更年月日	2 0 0 2 年 5 月 1 7 日
[変更理由]	住所変更
住 所	東京都大田区中馬込 1 丁目 3 番 6 号
氏 名	株式会社リコー